



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003186935 A**(43) Date of publication of application: **04.07.03**

(51) Int. Cl

**G06F 17/50**  
**H01L 21/82**  
**H03K 19/00**

(21) Application number: **2001381598**(22) Date of filing: **14.12.01**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **SATO KAZUHIRO**  
**ISHIBASHI NORIKO**  
**HIRATA MASAOKI**

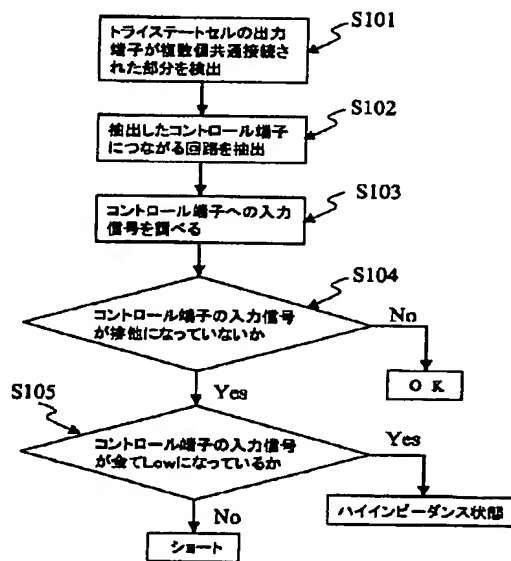
(54) **LOGIC CIRCUIT VERIFYING METHOD,  
 FEEDTHROUGH CURRENT VERIFYING METHOD  
 AND FEEDTHROUGH CURRENT IMPROVING  
 METHOD**

COPYRIGHT: (C)2003,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that it takes a long time to visually confirm that a pseudo error has really been caused when the control terminal of a cell having the output terminal of a tristate cell is not directly potential-fixed regardless of the structure of the connection input terminal.

**SOLUTION:** When a plurality of output terminals of tristate cells are commonly connected, a circuit connected to the control terminals of the tristate cells is extracted, and when outputs from all the tristate cells are in a high impedance state according to the combination of signals to be inputted to the control terminals, it is judged that the commonly connected parts are turned to be the high impedance state. Thus, it is possible to detect the high impedance state generation parts and to check whether through currents are actually generated.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-186935

(P2003-186935A)

(43) 公開日 平成15年7月4日 (2003.7.4)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル\* (参考)

G 0 6 F 17/50

6 6 4

G 0 6 F 17/50

6 6 4 A 5 B 0 4 6

H 0 1 L 21/82

H 0 3 K 19/00

B 5 F 0 6 4

H 0 3 K 19/00

H 0 1 L 21/82

T 5 J 0 5 6

C

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2001-381598 (P2001-381598)

(22) 出願日 平成13年12月14日 (2001. 12. 14)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 佐藤 和弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 石橋 典子

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100086737

弁理士 岡田 和秀

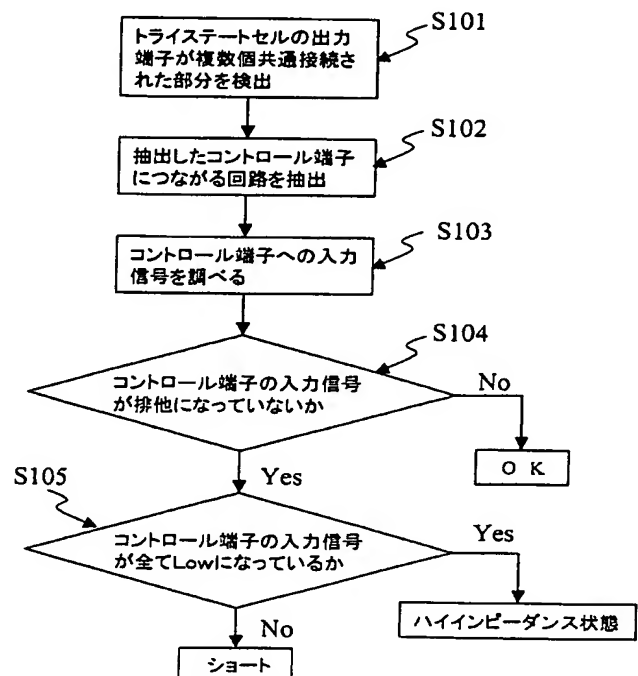
最終頁に続く

(54) 【発明の名称】 論理回路検証方法、貫通電流検証方法および貫通電流改善方法

(57) 【要約】

【課題】 トライステートセルの出力端子を持つセルのコントロール端子が直接に電位固定されていない場合および接続入力端子の構造によらず、擬似エラーと認識してしまうため、目視確認が必要となるが、所要時間が大きい。

【解決手段】 トライステートセルの出力端子が複数個共通接続されている場合に、前記トライステートセルのコントロール端子に繋がる回路を抽出し、コントロール端子に入力される信号の組み合わせで、全てのトライステートセルからの出力がハイインピーダンス状態になっている場合には、前記共通接続された箇所がハイインピーダンス状態になるとして、ハイインピーダンス状態発生箇所を検出し、実際に貫通電流が発生しないかどうかをチェックすることが可能になる。



## 【特許請求の範囲】

【請求項 1】 半導体集積回路の設計において、

トリステートセルの出力端子が複数個共通接続されている箇所を抽出する工程と、

前記抽出したトリステートセルのコントロール端子に接続されている回路から前記コントロール端子への入力

が排他であるか否かを判定する工程と、  
排他にならない場合のうち全てのトリステートセルの出力端子がハイインピーダンス状態を出力している場合には前記共通接続箇所にハイインピーダンス状態が発生すると検出する工程とを含むことを特徴とする論理回路検証方法。

【請求項 2】 論理回路の接続情報を示すネットリストと前記論理回路の回路情報を示すライブラリとを用いて検証ルールに基づいて前記論理回路中で貫通電流が発生するか否かを判定する貫通電流検証方法であって、

トランジスタレベルでの接続情報を持つライブラリからトリステートセルの出力端子に接続の入力端子に接続される第 1 のトランジスタ群を検出する工程と、

前記検出された第 1 のトランジスタ群の端子どうしが共通接続されている第 2 のトランジスタ群を検出する工程と、

前記検出された第 2 のトランジスタ群の共通接続端子とは別の端子が直接に電源またはグランドに接続されているか否かを検出する工程と、

直接に電源またはグランドに接続されていると検出されたトランジスタについて、その入力端子がハイインピーダンス状態の場合にフローティングエラーであると判定する工程とを含むことを特徴とする貫通電流検証方法。

【請求項 3】 論理回路の接続情報を示すネットリストと前記論理回路中に使用されるライブラリとを用いて検証ルールに基づいて前記論理回路中で貫通電流が発生するか否かを判定する貫通電流検証方法であって、

トランジスタレベルでの接続情報を持つライブラリからセルの各入力端子に接続されている第 1 のトランジスタ群を検出する工程と、

前記検出された第 1 のトランジスタ群の端子どうしが共通接続されている第 2 のトランジスタ群を検出する工程と、

前記検出された第 2 のトランジスタ群の共通接続端子とは別の端子が直接に電源またはグランドに接続されているか否かを検出する工程と、

検出された入力端子の情報を前記ライブラリに追加する工程と、

前記トリステートセルの出力端子の次段に接続される入力端子を検出する工程と、

前記検出された入力端子と前記情報を追加したライブラリの情報を照合しエラー判定する工程とを含むことを特徴とする貫通電流検証方法。

【請求項 4】 論理素子を含むセルを複数配置して構成

される半導体集積回路の前記セルの貫通電流を検証する貫通電流検証方法であって、

前記セルの接続関係を記述してあるネットリストからトリステートセルを探索し、前記トリステートセルの出力端子に接続しているセルを検証対象セルとして抽出するセル抽出工程と、

インバータセルの入力が、0、1、ハイインピーダンス状態の 3 通りに変化した場合に、n 型トランジスタおよび p 型トランジスタが駆動するか駆動しないかの関係を記述したトランジスタスイッチング表を作成するトランジスタスイッチング表作成工程と、

前記抽出した検証対象セルを構成しているトランジスタの接続関係を記述してあるセル内部ネットリストを入力して、直列接続となる縦積み構造を構成しているトランジスタが n 型トランジスタか p 型トランジスタかを判断し記憶するセル構造解析工程と、

前記抽出した検証対象セルが所有する入力ピンのうち第 1 の入力ピンをハイインピーダンス状態にしたときに、前記トランジスタスイッチング表を参照して、前記第 1 の入力ピン以外の第 2 の入力ピンにどの入力値を与えると貫通電流が流れるかを示した貫通電流入力パターンを作成する貫通電流入力パターン抽出工程と、

前記抽出した検証対象セルの入力ピンが前記貫通電流入力パターンになり得るかを検証する貫通電流検証工程とを含むことを特徴とする貫通電流検証方法。

【請求項 5】 論理素子を含むセルを複数配置して構成される半導体集積回路の前記セルの貫通電流を検証する貫通電流検証方法であって、

インバータセルの入力が、0、1、ハイインピーダンス状態の 3 通りに変化した場合に、n 型トランジスタおよび p 型トランジスタが駆動するか駆動しないかの関係を記述したトランジスタスイッチング表を作成するトランジスタスイッチング表作成工程と、

前記半導体集積回路に使用されると予想されるセル群の中から、貫通電流が流れる入力パターンを作成すべき検証候補セルを選択する貫通電流入力パターン作成セル選択工程と、

前記選択した検証候補セルを構成しているトランジスタの接続関係が記述してあるセル内部ネットリストを入力して、直列接続となる縦積み構造を構成しているトランジスタが n 型トランジスタか p 型トランジスタかを判断し記憶するセル構造解析工程と、

前記選択した検証候補セルが所有する入力ピンのうち第 1 の入力ピンをハイインピーダンス状態にしたときに、前記トランジスタスイッチング表を参照して、前記第 1 の入力ピン以外の第 2 の入力ピンにどの入力値を与えると貫通電流が流れるかを示した前記セル群の全セルの貫通電流入力パターンを作成する貫通電流入力パターン抽出工程と、

前記セルの接続関係を記述してあるネットリストからト

ライステートセルを探索し、前記トライステートセルの出力端子に接続しているセルを検証対象セルとして抽出するセル抽出工程と、

前記全セルの貫通電流入力パターンから前記抽出した検証対象セルに対応する貫通電流入力パターンを選択する貫通電流入力パターン選択工程と、

前記抽出した検証対象セルの入力ピンが前記貫通電流入力パターンになり得るかを検証する貫通電流検証工程とを含むことを特徴とする貫通電流検証方法。

【請求項 6】 前記貫通電流入力パターン抽出工程では、前記セルの縦積み構造のトランジスタが駆動して前記貫通電流が流れる入力値を、前記トランジスタスイッチング表から判断して貫通電流入力パターンを作成することを特徴とする請求項 4 または請求項 5 に記載の貫通電流検証方法。

【請求項 7】 請求項 1 に記載の論理回路検証方法において、前記のハイインピーダンス状態として検出した箇所に対しハイインピーダンス状態回避回路を挿入することによりハイインピーダンス状態を回避することを特徴とする貫通電流改善方法。

【請求項 8】 前記回路変更において、前記のハイインピーダンス状態として検出した箇所にバスホールド回路を挿入することにより回路変更を行うことを特徴とする請求項 7 に記載の貫通電流改善方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子回路の設計を支援するための CAD 装置等に用いられ、作成された電子回路における論理回路が規約に従った正しい接続を行っているかを検証する論理回路検証方法、ならびに貫通電流検証方法およびその改善方法に関するものである。

【0002】

【従来の技術】 近年、半導体のチップ規模は飛躍的に上昇し、半導体集積回路を開発するに当たっては CAD 装置を用いて行うのが主流となっている。更に、接続規約を手でチェックするのは非常に困難であり、自動で検証を行う CAD 装置を用いた手法が提唱されている（特開平 10-334124 号公報参照）。

【0003】 この従来の論理回路検証装置においては、論理回路図作成装置で作成された回路図から論理回路の接続状態を示したネットリストを抽出し、それをネットリスト入力部に入力し、検証部へ論理回路の接続情報を伝えている。

【0004】 また、ハイインピーダンス制御の情報をを持ったライブラリをライブラリ入力部に入力し、フローチャートに従いトライステートピンが直接電源又はグランド接続をしているか、次段の接続が単独か否かを判断した上でショートおよびフローティングの判断を行い、各論理回路ごとの情報を検証部へ伝える。それらをもとに

検証部では、検証ルール記憶領域に保存されている検証ルールに基づき、回路図中の論理回路の接続状態が規約に従ったものかどうかを判定し、その結果をエラー／ワーニング出力部から出力している。

【0005】

【発明が解決しようとする課題】 しかし、このような従来の論理回路検証方法、貫通電流検証方法では、フローティングおよびショートチェックを行う場合に、前段のトライステートセルの出力端子を持つセルのコントロール端子が電源又はグランドに直接に接続されている必要がある。したがって、このコントロール端子に接続される前々段等回路の上流で電位固定されている場合等でも、コントロール端子が直接に電位固定されていないため、全てフローティングエラーとして扱われ、これは擬似エラーである可能性があるため、設計者が回路的に問題回避している場合には、擬似エラーか否かを目視で判別する必要がある。

【0006】 また、ハイインピーダンス状態を出力する端子が存在した場合でも、その信号を受ける側の構造によっては貫通電流が流れず、回路的に問題にならない可能性があるにも関わらず、全てフローティングエラーとして扱うので、これも擬似エラーである可能性があるため、前記同様に擬似エラーか否かを設計者が目視で判別する必要があった。

【0007】 以上のように、トライステートセルの出力端子を持つ回路のコントロール端子が直接に電位固定されていない場合には、次段のセルの構成に関わらず、全てフローティングエラーとして認識されるため、擬似エラーか否かの確認を目視で実施する必要が生じ、設計期間の長期化および作業効率の低下を招いていた。

【0008】 本発明は、従来目視でチェックせざるを得なかったトライステートセルの出力端子を持つセルのコントロール端子が直接に電位固定されていない場合にも、自動でエラー判定を行うことができ、かつハイインピーダンス状態の出力を受ける側の構成を自動認識して、ハイインピーダンス状態の場合に問題となる構成を自動で検出することにより設計期間の短縮および効率化を図り、作業効率の向上を実現できる論理回路検証方法および貫通電流検証方法を提供することを目的とする。併せて、貫通電流改善方法を提案する。

【0009】

【課題を解決するための手段】 (1) 論理回路検証方法についての本発明は、次のような手段を講じることにより、上記の課題を解決する。すなわち、半導体集積回路の設計において、トライステートセルの出力端子が複数個共通接続されている箇所を抽出する工程と、前記抽出したトライステートセルのコントロール端子に接続されている回路から前記コントロール端子への入力が排他であるかを判定する工程と、排他にならない場合のうち全てのトライステートセルの出力端子がハイインピ

ードダンス状態を出力している場合には前記共通接続箇所  
にハイインピーダンス状態が発生すると検出する工程と  
を含むものである。

【0010】この場合、前記複数個のトリステートセル  
のコントロール端子に繋がる回路を抽出し、コントロ  
ール端子に入力される信号の組み合わせで、全てのト  
リステートセルからの出力がハイインピーダンス状態に  
なる場合には、共通接続された箇所がハイインピーダ  
ンス状態になるとして、ハイインピーダンス状態発生箇所  
を検出する。

【0011】これにより、トリステートセルの出力端  
子が複数個共通接続されている状況において、ハイイン  
ピーダンス状態発生箇所を正しく検証することができる。  
その結果として、事後の、ハイインピーダンス状態  
を回避するための処理や、実際に貫通電流が発生しない  
かどうかをチェックする処理へスムーズに移行すること  
が可能になる。

【0012】(2) 次に、貫通電流検証方法について  
の本発明は、次のような手段を講じることにより、上記  
の課題を解決する。その前提は、論理回路の接続情報を  
示すネットリストと前記論理回路の回路情報を示すライ  
ブラリとを用いて検証ルールに基づいて前記論理回路中  
で貫通電流が発生するか否かを判定する貫通電流検証方  
法である。このような論理回路検証方法において、本発  
明は、次のような各工程を備えたものとして構成されて  
いることを特徴とする。すなわち、あらかじめ、ラン  
ジスタレベルでの接続情報を持つライブラリを用意して  
おく。

【0013】第1の工程では、前記のランジスタレ  
ベルでの接続情報を持つライブラリからトリステートセル  
の出力端子に接続の入力端子に接続される第1のラン  
ジスタ群を検出する。

【0014】第2の工程では、前記の検出された第1の  
ランジスタ群の端子どうしが共通接続されている第2  
のランジスタ群を検出する。

【0015】第3の工程では、前記の検出された第2の  
ランジスタ群の共通接続端子とは別の端子が直接に電  
源またはグランドに接続されているか否かを検出する。

【0016】第4の工程では、直接に電源またはグ  
ランドに接続されていると検出されたランジスタについ  
て、その入力端子がハイインピーダンス状態の場合にフ  
ローティングエラーであると判定する。

【0017】この貫通電流検証方法によれば、トリス  
テートセルの出力端子がハイインピーダンス状態になる  
可能性があると判断される場合で、次段の論理回路にお  
いて他の入力ピンの状態に関わらず、ハイインピーダ  
ンス状態の入力時に貫通電流を発生させる論理回路また  
は入力ピンについては、これを自動的に真性エラーとし  
て検出することができる。

【0018】すなわち、従来目視でチェックをせざるを

得なかったトリステートセルの出力端子がハイイン  
ピーダンス状態となる場合において、次段の論理回路に問  
題があるか否かの検証工程で真性エラーを自動で判別で  
きるため、設計期間の短縮および作業効率の向上を実現  
することができる。

【0019】(3) また、貫通電流検証方法について  
の別の態様の本発明は、次のような手段を講じることに  
より、上記の課題を解決する。その前提は、論理回路の  
接続情報を示すネットリストと前記論理回路中に使用さ  
れるライブラリとを用いて検証ルールに基づいて前記論  
理回路中で貫通電流が発生するか否かを判定する貫通電  
流検証方法である。このような論理回路検証方法におい  
て、本発明は、次のような各工程を備えたものとして構  
成されていることを特徴とする。すなわち、あらかじめ、  
ランジスタレベルでの接続情報を持つライブラリ  
を用意しておく。

【0020】第1の工程では、前記のランジスタレ  
ベルでの接続情報を持つライブラリからセルの各入力端  
子に接続されている第1のランジスタ群を検出する。

【0021】第2の工程では、前記の検出された第1の  
ランジスタ群の端子どうしが共通接続されている第2  
のランジスタ群を検出する。

【0022】第3の工程では、前記の検出された第2の  
ランジスタ群の共通接続端子とは別の端子が直接に電  
源またはグランドに接続されているか否かを検出する。  
すなわち、これは、ハイインピーダンス状態の入力があ  
った場合に貫通電流が流れる構成か否かに関する情報を  
生成することである。

【0023】第4の工程では、前記の検出された入力端  
子の情報を前記のライブラリに追加する。

【0024】第5の工程では、前記のトリステートセル  
の出力端子の次段に接続される入力端子を検出する。

【0025】第6の工程では、前記の検出された入力端  
子と前記情報を追加したライブラリの情報を照合し、ハ  
イインピーダンス状態の入力が入って貫通電流が流れる  
か否かのエラー判定を行う。

【0026】この貫通電流検証方法によれば、トリス  
テートセルの出力端子がハイインピーダンス状態になる  
可能性があると判断される場合で、次段の論理回路にお  
いて他の入力ピンの状態に関わらず、ハイインピーダ  
ンス状態の入力時に貫通電流を発生させる論理回路また  
は入力ピンについては、これを自動的に真性エラーを検出  
することができるが、単にこれだけにとどまらず、貫通  
電流検証時にランジスタレベルの解析を不要化できる  
ため、解析処理に必要な時間を飛躍的に短縮することが  
可能となる。

【0027】(4) また、貫通電流検証方法について  
のさらに別の態様の本発明は、次のような手段を講じる  
ことにより、上記の課題を解決する。その前提は、論理  
素子を含むセルを複数配置して構成される半導体集積回

路の前記セルの貫通電流を検証する貫通電流検証方法である。このような貫通電流検証方法において、本発明は、次のような各工程を備えたものとして構成されていることを特徴とする。すなわち、第1の工程であるセル抽出工程では、セルの接続関係を記述してあるネットリストからトライステートセルを探索し、前記トライステートセルの出力端子に接続しているセルを検証対象セルとして抽出する。

【0028】第2の工程であるトランジスタスイッチング表作成工程では、インバータセルの入力が、0、1、ハイインピーダンス状態の3通りに変化した場合に、n型トランジスタおよびp型トランジスタが駆動するか駆動しないかの関係を記述したトランジスタスイッチング表を作成する。

【0029】第3の工程であるセル構造解析工程では、前記の抽出した検証対象セルを構成しているトランジスタの接続関係を記述してあるセル内部ネットリストを入力して、直列接続となる縦積み構造を構成しているトランジスタがn型トランジスタかp型トランジスタかを判断し記憶する。ここで、トランジスタが直列接続となるトランジスタ構造を縦積み構造と定義する。

【0030】第4の工程である貫通電流入力パターン抽出工程では、前記抽出した検証対象セルが所有する入力ピンのうち第1の入力ピンをハイインピーダンス状態にしたときに、前記トランジスタスイッチング表を参照して、前記第1の入力ピン以外の第2の入力ピンにどの入力値を与えると貫通電流が流れるかを示した貫通電流入力パターンを作成する。

【0031】第5の工程である貫通電流検証工程では、前記の抽出した検証対象セルの入力ピンが前記貫通電流入力パターンになり得るかを検証する。

【0032】この貫通電流検証方法によれば、トライステートセルの次段に接続されているセルの貫通電流が流れる入力パターンを作成し、抽出した検証対象セルを貫通電流入力パターンと照合することによって貫通電流が流れるか否かを検証することが可能となる。すなわち、回路シミュレーションを実行することなく、貫通電流の検証を速やかに実行することができる。

【0033】(5) また、貫通電流検証方法についてのさらに別の態様の本発明は、次のような手段を講じることにより、上記の課題を解決する。その前提は、論理素子を含むセルを複数配置して構成される半導体集積回路の前記セルの貫通電流を検証する貫通電流検証方法である。このような貫通電流検証方法において、本発明は、次のような各工程を備えたものとして構成されていることを特徴とする。すなわち、第1の工程であるトランジスタスイッチング表作成工程では、インバータセルの入力が、0、1、ハイインピーダンス状態の3通りに変化した場合に、n型トランジスタおよびp型トランジスタが駆動するか駆動しないかの関係を記述したトラン

ジスタスイッチング表を作成する。

【0034】第2の工程である貫通電流入力パターン作成セル選択工程では、前記半導体集積回路に使用されると予想されるセル群の中から、貫通電流が流れる入力パターンを作成すべき検証候補セルを選択する。

【0035】第3の工程であるセル構造解析工程では、前記選択した検証候補セルを構成しているトランジスタの接続関係が記述してあるセル内部ネットリストを入力して、直列接続となる縦積み構造を構成しているトランジスタがn型トランジスタかp型トランジスタかを判断し記憶する。

【0036】第4の工程である貫通電流入力パターン抽出工程では、前記選択した検証候補セルが所有する入力ピンのうち第1の入力ピンをハイインピーダンス状態にしたときに、前記トランジスタスイッチング表を参照して、前記第1の入力ピン以外の第2の入力ピンにどの入力値を与えると貫通電流が流れるかを示した前記セル群の全セルの貫通電流入力パターンを作成する。

【0037】第5の工程であるセル抽出工程では、前記セルの接続関係を記述してあるネットリストからトライステートセルを探索し、前記トライステートセルの出力端子に接続しているセルを検証対象セルとして抽出する。

【0038】第6の工程である貫通電流入力パターン選択工程では、前記全セルの貫通電流入力パターンから前記抽出した検証対象セルに対応する貫通電流入力パターンを選択する。

【0039】第7の工程である貫通電流検証工程では、前記抽出した検証対象セルの入力ピンが前記貫通電流入力パターンになり得るか否かを検証する。

【0040】この貫通電流検証方法によれば、あらかじめ、半導体集積回路を構成している全てのセルを対象に、トランジスタスイッチング表から、トライステートセルの次段に接続されているセルの貫通電流入力パターンを作成しておき、抽出した検証対象セルについて、前記の全セルの貫通電流入力パターンから対応する貫通電流入力パターンを選択し、照合することによって貫通電流が流れるか否かを検証することが可能となる。すなわち、回路シミュレーションを実行することなく、貫通電流の検証を速やかに実行することができる。さらに、検証対象の複数のセルについての検証を、トランジスタスイッチング表の作成工程や貫通電流入力パターンの作成工程を伴うことなく、連続的に、したがって、さらに速やかに実行することができる。

【0041】(6) 上記において、好ましい態様は、前記の貫通電流入力パターン抽出工程では、セルの縦積み構造のトランジスタが駆動して貫通電流が流れる入力値を、前記のトランジスタスイッチング表から判断して貫通電流入力パターンを作成することである。

【0042】(7) また、貫通電流改善方法について

の本発明は、上記の論理回路検証方法において、ハイインピーダンス状態として検出した箇所に対しハイインピーダンス状態回避回路を挿入することによりハイインピーダンス状態を回避するであり、さらに、好ましくは、前記の回路変更において、ハイインピーダンス状態として検出した箇所にバスホールド回路を挿入することにより回路変更を行うことである。

【0043】バスホールド回路を挿入することで、ハイインピーダンス状態になる前の信号状態を保持することができるようになる。それにより貫通電流の発生を抑えることができる。

【0044】

【発明の実施の形態】以下、本発明にかかわる論理回路検証方法および貫通電流検証方法の実施の形態について図面に基づいて詳細に説明する。

【0045】（第1の実施の形態）図1に示すフローに基づき、本発明の第1の実施の形態を説明する。

【0046】ステップS101において、トライステートセルの出力端子が共通接続されている箇所を抽出する。その抽出した結果を図2に示す。

【0047】図2中の点線で囲まれたG101、G102はトライステートインバータ、C101、C102はコントロール端子である。トライステートインバータは、コントロール端子に“High”の入力があつたときは普通のインバータとして機能し、“Low”の入力があつたときは出力がハイインピーダンス状態（HiZ）の状態になる。

【0048】図2に示す抽出された回路では、トライステートインバータG101、G102の出力端子が2個共通接続されている。

【0049】次に、ステップS102において、ステップS101で抽出したトライステートセルのコントロール端子C101、C102に繋がる回路を抽出する。

【0050】図3に示すのは、ステップS101で抽出した回路において、トライステートインバータG101、G102のコントロール端子C101、C102に繋がる回路を抽出した結果である。IN101、IN102は、トライステートインバータG101、G102のコントロール端子C101、C102に繋がる回路G103、G104への入力端子を表す。G103はインバータ、G104はNORゲートを表している。

【0051】次に、ステップS103において、トライステートセルのコントロール端子に入力する信号のチェックを行う。図3において、入力端子IN101、IN102への入力がともに“High”であるときには、トライステートインバータG101、G102のコントロール端子C101、C102への入力はいずれも“Low”になることが分かる。

【0052】次に、ステップS104において、出力端子が共通接続の複数のトライステートセルにおけるコ

ントロール端子への入力が排他になっていないかどうかを判断する。

【0053】図3の回路の例では、トライステートインバータG101、G102のコントロール端子C101、C102への入力はいずれも“Low”であり、排他になっていないことが分かる。

【0054】次に、ステップS105において、排他になっていないコントロール端子への入力について、ステップS101で抽出した全てのトライステートセルの出力がハイインピーダンス状態になっていないかをチェックする。

【0055】図3に示した回路では、抽出した回路中の2つのトライステートインバータG101、G102の出力がいずれもハイインピーダンス状態となり、それら2つの出力が共通接続された箇所がハイインピーダンス状態発生箇所として検出される。

【0056】2つのトライステートインバータG101、G102は、ともにそのコントロール端子C101、C102が直接に電位固定されていない。このような場合、従来技術にあつては、無条件にすべてフローティングエラーと判定してしまい、擬似エラーを含む要因になっていた。

【0057】これに対して、本実施の形態によれば、実際のハイインピーダンス状態発生箇所に限って、その箇所をハイインピーダンス状態発生箇所と正しく判定し、実際にはハイインピーダンス状態発生箇所ではない箇所については、ハイインピーダンス状態発生箇所でないとして判定する。すなわち、擬似エラーの発生を回避することができる。

【0058】ハイインピーダンス状態発生箇所の検証において、擬似エラーを回避することができるので、これ以降のハイインピーダンス状態を回避するための処理、および、実際に貫通電流が発生しないかどうかのチェックを合理的かつ効率的に遂行することが可能になる。すなわち、設計期間の短縮および効率化が図れ、作業効率の向上を実現することができる。

【0059】（第2の実施の形態）次に、本発明の第2の実施の形態における論理回路検証方法について図面を用いて説明する。

【0060】図4は本発明の第2の実施の形態における論理回路検証装置の概略構成を示すブロック図である。図4において、41はCAD装置本体からなる論理回路図作成装置、42は論理回路相互間の接続情報を示すネットリストを入力するネットリスト入力部、43は論理回路の回路情報を示すライブラリを入力するライブラリ入力部、44は検証部、45は検証部44の検証結果を出力するエラー／ワーニング出力部、46は論理回路の検証ルールを記憶した検証ルール記憶領域である。

【0061】この実施の形態における特徴は、ライブラリ入力部43へ入力するライブラリにトランジスタレベ



ルの接続情報を入力し、検証部 44 において、検証ルール記憶領域 46 に記憶されている検証ルールに基づき、トライステートセルの出力端子からハイインピーダンス状態が出力される可能性があるセルの次段の入力ピンに対して、トランジスタの接続検証処理を行い、ハイインピーダンス状態が入力された場合に貫通電流が流れる構造を有しているセルに対してフローティング判定を行うようにしたことにある。

【0062】以下、図 5 を参照しながら、ハイインピーダンス状態を受けるセルの検証方法について詳細に説明する。

【0063】図 5 は検証部 44 における処理を示すフローチャートである。これは、トライステートセルの出力端子を持つセルからハイインピーダンス状態が出力される可能性がある場合に、その信号を受ける側のセルの検証方法を示すものである。

【0064】検証部 44 では、まず、トライステートセルの出力端子を有するセルを検出する（ステップ S51）。

【0065】次に、そのコントロール端子が直接に電位固定されておらず、ハイインピーダンス状態を出力する可能性のあるセルを検出する（ステップ S52）。

【0066】ここで、全てのトライステートセルの出力端子を持つセルが、ハイインピーダンス状態を出力する可能性が無ければ、通常の出力端子の接続チェックを行う（ステップ S53）。

【0067】ステップ S52 によってハイインピーダンス状態を出力する可能性があるとして判定されたセルに対し、その次段に接続されているセルに着目する。トランジスタレベルのセルライブラリから着目セルを取り出し、この着目セルの入力端子に接続されているトランジスタ集合 1 を検出する（ステップ S54）。

【0068】次に、ステップ S54 で検出されたトランジスタ集合 1 から p 型トランジスタと n 型トランジスタとのトランジスタ対でかつ互いの一端子同士すなわちドレイン端子とソース端子が接続されているトランジスタ対のリストを作成する（ステップ S55）。

【0069】次に、ステップ S55 で検出された一端子（ドレインおよびソース）が互いに接続されているトランジスタ対のもう一方の端子の接続先を調べ、電源およびグランドに直接に接続されているか否かを判別する（ステップ S56）。

【0070】ステップ S56 において、電源およびグランドに直接に接続されている端子を持つトランジスタ対が 1 つも存在しない場合は、ハイインピーダンス状態が入力された場合でも貫通電流が流れることは無いため、通常の接続チェック（ステップ S53）を行う。

【0071】また、1 対でも電源およびグランドに直接に接続されているトランジスタ対が存在した場合、この端子がハイインピーダンス状態になると貫通電流が流れ

るため、フローティングエラーを出力する（ステップ S57）。

【0072】以上のように第 2 の実施の形態によると、論理回路検証処理において、トライステートセルの出力端子を持つ回路のコントロール端子が直接に電位固定されていない場合に、ハイインピーダンス状態の入力があっても、次段のセルの構成に応じてフローティングエラーの判定を行うので、従来、擬似エラーであったものをエラーでないと明確に認識することができ、事後の目視確認を不要化することができる。したがって、設計期間の短縮と作業効率の向上を図ることができる。

【0073】また、トランジスタレベルのセル情報、例えば SPICE ネットリスト等、既存のライブラリのみを使用するため、設計フローに容易に組込むことができる。

【0074】（第 3 の実施の形態）次に、本発明の第 3 の実施の形態における論理回路検証方法について図面を用いて説明する。

【0075】図 6 は図 4 のライブラリ入力部 43 へ入力するライブラリに情報を追加するためのフローチャートである。また、図 7 はセル中のトランジスタの接続例を示すもので、図 8 は図 4 の検証部 44 におけるハイインピーダンス状態が出力される場合にその信号を受ける側のセルの検証方法を示すフローチャートである。

【0076】まず、ライブラリ入力部 43 へ入力するライブラリに、ハイインピーダンス状態で問題が発生するセルと入力端子の情報を追加するために、セルライブラリ中の全セルに関して、各入力端子に接続しているトランジスタの検出を行い、トランジスタ集合 1 の情報を作成する（ステップ S61）。

【0077】次に、トランジスタ集合 1 から p 型トランジスタと n 型トランジスタとのトランジスタ対で互いのトランジスタの 1 端子同士すなわちドレイン端子とソース端子が接続しているトランジスタ対のリストを作成する（ステップ S62）。

【0078】ここで作成されたトランジスタ対のリストのうち、互いに接続している端子ともう一方の端子が電源およびグランドに直接に接続されているか否かの判定を行う（ステップ S63）。

【0079】ステップ S63 において、電源およびグランドに直接に接続されている端子を持つトランジスタ対が 1 つも存在しない場合は、ハイインピーダンス状態が入力された場合でも貫通電流が流れることは無いため、入力端子にハイインピーダンス状態でも問題無いピンとして、セルライブラリ情報に追加する（ステップ S64）。

【0080】また、各入力端子に接続するトランジスタ対リストのうち 1 対でも電源およびグランドに直接に接続されているトランジスタ対が存在する場合、この端子がハイインピーダンス状態になると貫通電流が流れるた



め、ハイインピーダンス状態の入力に対してフローティングエラーとなる情報をセルライブラリに追加する（ステップS65）。

【0081】次に、図6中のステップS63における接続判定について、図7を用いて例を挙げて説明する。

【0082】例えば、図7の（a）および（b）のようなトランジスタの接続情報を持つセルがライブラリ中に存在した場合で説明する。

【0083】図7（a）の場合、入力端子Aに接続されるのはp型トランジスタとn型トランジスタが1つずつで、且つ、その端子同士がOUT端子で接続されている。また、互いに接続されている端子の他方の端子が電源およびグランドに直接に接続されている。そのため、入力端子Aがハイインピーダンス状態で貫通電流が流れることになる。したがって、ハイインピーダンス状態の入力時にフローティングエラーとなる情報をライブラリに追加する。

【0084】また、図7（b）の場合は、入力端子Aと入力端子Bの2つがあり、入力端子Aに接続されるトランジスタは図7（a）と同様に貫通電流が流れる構造であるためエラーとなる情報を追加する。

【0085】入力端子Bに接続されるトランジスタはp型トランジスタとn型トランジスタとで互いに接続される端子を持つトランジスタ対は1つ存在し（QP1とQN1）、その一方のトランジスタQP1の他方の端子が一方は電源に接続されているが、もう一方のトランジスタQN1の他方の端子が直接にグランドに接続されていないため、貫通電流が流れるとは判断されない。

【0086】次に、図8のフローチャートを用いてハイインピーダンス状態が出力される場合に、その信号を受ける側のセルの検証方法について説明する。

【0087】まず、回路の接続情報を持つネットリストを読み込み、トライステートセルの出力端子を持つセルを検出する（ステップS81）。

【0088】次に、検出されたセルがハイインピーダンス状態の出力を出す可能性があるか判別する（ステップS82）。

【0089】ハイインピーダンス状態を出力する可能性が無い場合は、貫通電流検出処理を終了する。

【0090】ハイインピーダンス状態を出力する可能性がある場合は、次段に接続されるセルおよび入力端子を調べ、ハイインピーダンス状態の入力時に貫通電流が流れるか否かの情報を持つライブラリと照合処理を行い、セルおよびピンが適合した場合はフローティングエラーを出力する（ステップS83）。

【0091】ステップS83の処理を第2の実施の形態の場合と比較すると、図5のステップS54、S55、S56が省略されたものに相当し、大幅な簡略化が行われている。

【0092】以上のように第3の実施の形態によると、

論理回路検証処理において、あらかじめ、トランジスタレベルのセル情報からハイインピーダンス状態の入力で貫通電流が流れる端子を判別し、ライブラリ化しておくことにより、貫通電流が流れるか否かの検証処理時間を第2の実施の形態よりも短縮することができ、設計期間を更に短縮することができる。

【0093】（第4の実施の形態）図9～図13は、本発明の第4の実施の形態を示す。

【0094】図9は、第4の実施の形態の貫通電流検証方法を示すフローチャートである。図9において、301は半導体集積回路を構成しているセルの接続関係が記入されているネットリストである。302はインバータセルの入力が、1、0、ハイインピーダンス状態に変化した場合に、p型トランジスタおよびn型トランジスタが駆動するかしないかを、それぞれON、OFFで記述しているトランジスタスイッチング表である。303はセル内部のトランジスタの接続関係を記述しているセル内部ネットリストである。304は2個の入力ピンをもつ場合の貫通電流が流れる入力パターンを示した貫通電流入力パターンである。

【0095】図10はトランジスタスイッチング表302の内容を示す図である。

【0096】図11（a）は2入力NANDセルのトランジスタ構成を示す図である。図11（b）は2入力NORセルのトランジスタ構成を示す図である。

【0097】図12は2入力NANDの場合におけるトランジスタの構造を解析した結果を示す図である。

【0098】縦積み構造は、p型トランジスタまたはn型トランジスタが直列に接続されている構造として定義する。横積み構造は、p型トランジスタまたはn型トランジスタが並列に接続されている構造として定義する。

【0099】n型トランジスタの縦積み構造の例はNANDセルである。p型トランジスタの縦積み構造の例はNORセルである。

【0100】図13は貫通電流入力パターン304の内容を示した図である。図13（a）は、2入力のセルにおけるn型トランジスタが縦積み構造の場合の貫通電流入力パターンである。図13（b）は、2入力のセルにおけるp型トランジスタが縦積み構造の場合の貫通電流入力パターンである。

【0101】次に、図9から図13を用いて、2入力NANDセルを例に挙げて貫通電流検証方法を説明する。

【0102】図9のステップS301のセル抽出工程では、ネットリスト301からトライステートセルを探索し、そのトライステートセルの出力端子に接続しているセル（以後、検証対象セルと呼ぶ）を抽出する。

【0103】ステップS302のトランジスタスイッチング表作成工程では、トランジスタスイッチング表302を作成する。

【0104】図10に例示するように、インバータセル

の入力値が1の場合は、n型トランジスタが駆動して、p型トランジスタは駆動しない。インバータセルの入力値が0の場合は、n型トランジスタが駆動しないで、p型トランジスタが駆動する。インバータセルの入力値がハイインピーダンス状態の場合は、n型トランジスタ、p型トランジスタがともに駆動する。

【0105】このような考え方で、図9のステップS302では、入力値に応じてトランジスタが駆動するか否かを表したトランジスタスイッチング表302を作成する。

【0106】ステップS303のセル構造解析工程では、前記の抽出した検証対象セルのセル内部ネットリスト303を入力して、入力ピン毎にトランジスタが縦積み構造になっているトランジスタがn型トランジスタかp型トランジスタかを判断する。

【0107】縦積み構造のトランジスタを判断する理由は、直列に接続しているトランジスタが駆動状態でなければ貫通電流が流れないからである。

【0108】抽出した検証対象セルが、入力ピンとしてaピン、bピンを持つ2入力NANDであれば、図11(a)に示すように、aピン、bピン両方ともn型トランジスタが縦積み構造となる。よって、n型トランジスタが縦積み構造であることを記憶しておく。

【0109】ステップS304の貫通電流入力パターン抽出工程では、縦積み構造のトランジスタが駆動する入力値を、トランジスタスイッチング表302から参照して、抽出セルが所有する入力ピンがハイインピーダンス状態になる場合の貫通電流入力パターンを作成する。

【0110】抽出セルが2入力NANDであると、n型トランジスタが縦積み構造であるので、aピンにハイインピーダンス状態が入力されると、bピンはトランジスタスイッチング表302のn型トランジスタが駆動する条件である入力値1となるのが、貫通電流を流す貫通電流入力パターンとなる。

【0111】具体的には次のとおりである。

【0112】図11(a)に示す2入力NANDが貫通電流を流すのは、p型トランジスタQP3、n型トランジスタQN3、QN4が同時にONになる場合と、p型トランジスタQP4、n型トランジスタQN3、QN4が同時にONになる場合とである。

【0113】前者の場合、aピンがハイインピーダンス状態の入力であると、p型トランジスタQP3、n型トランジスタQN3が同時ONになるので、あとは、n型トランジスタQN4が同時ONとなれば該当することになるが、それはbピンの入力値が1のときである。

【0114】後者の場合、bピンがハイインピーダンス状態の入力であると、p型トランジスタQP4、n型トランジスタQN4が同時ONになるので、あとは、p型トランジスタQP3が同時ONとなれば該当することになるが、それはaピンの入力値が1のときである。

【0115】したがって、図13(a)が2入力NANDの貫通電流入力パターンとなる。

【0116】図9に戻って、ステップS305の貫通電流検証工程では、抽出した検証対象セルの入力ピンが貫通電流入力パターン304に該当することがあるかを確認する。検証対象セルが2入力NANDであれば、入力ピンが図13(a)に示す2種類の入力パターンになることがあるかを確認すればよい。すなわち、確認する入力パターンは、aピンがハイインピーダンス状態であると同時にbピンが入力値1になる場合と、bピンがハイインピーダンス状態であると同時にaピンが入力値1になる場合とであり、これらの場合には貫通電流が流れ、そうでない場合には貫通電流は流れない。

【0117】以上のように、本実施の形態によれば、トランジスタスイッチング表から貫通電流入力パターンを作成することにより、抽出した検証対象セルの入力ピンが貫通電流入力パターンになることがあるか(貫通電流が流れるか)を、回路シミュレーションを行うことなく、高速に確認することが可能となる。

【0118】(第5の実施の形態)図17は、本発明の第5の実施の形態の貫通電流検証方法を示すフローチャートである。同図中の311は、半導体集積回路で使用されると予想される全てのセルの貫通電流入力パターンを格納した全セルの貫通電流入力パターンである。また、S301~S305は第4の実施の形態と同じ工程を示す。

【0119】次に、第5の実施の形態の貫通電流検証方法について、図14を用いて以下に説明する。

【0120】第4の実施の形態と異なるのは、抽出した検証対象セルを決めてから貫通電流入力パターン304を作成するのではなく、半導体集積回路に含まれる全てのセルの貫通電流入力パターン311をあらかじめ作成しているところである。

【0121】ステップS311の貫通電流入力パターン作成セル選択工程では、半導体集積回路に使用されると予想されるセル群の中から貫通電流入力パターンを作成すべきセルを検証候補セルとして選択する。

【0122】全てのセルにおいて貫通電流入力パターンを作成したかを判断するステップS312では、セル群の中の全セルで貫通電流入力パターンを作成するまで、ステップS311の貫通電流入力パターン作成セル選択工程、ステップS303のセル構造解析工程およびステップS304の貫通電流入力パターン抽出工程を繰り返す。

【0123】ステップS313の貫通電流入力パターン選択工程では、全セルの貫通電流入力パターン311から、ステップS301による抽出された検証対象セルの貫通電流入力パターンを選択する。

【0124】以上のように、本実施の形態によれば、トランジスタスイッチング表から、あらかじめ、セル群の

全てのセルの貫通電流入力パターンを作成することにより、検証対象セルの入力ピンが貫通電流入力パターンになることがあるかを、回路シミュレーションを行うことなく、高速に確認することが可能となる。

【0125】図15はハイインピーダンス状態の発生した部分を示す。G401、G402はトライステートインバータで、それぞれの出力が共通接続されている。ネットN401は、ハイインピーダンス状態になったネットを示す。

【0126】図16は、ハイインピーダンス状態の発生箇所、ハイインピーダンス状態回避回路K401を挿入した結果である。ハイインピーダンス状態回避回路K401の出力がハイインピーダンス状態でないようにすれば、ハイインピーダンス状態を回避することが可能である。

【0127】図17は、ハイインピーダンス状態の発生箇所、バスホールド回路K402を挿入した結果である。これにより、バスホールド回路K402には、ハイインピーダンス状態になる以前の情報が保持されるため、ネットN401へ出力される信号がハイインピーダンス状態になったとしても、バスホールド回路K402以降の部分では、ハイインピーダンス状態が発生しない。

#### 【0128】

【発明の効果】以上説明したように、貫通電流検証方法についての本発明によれば、トライステートセルの出力端子が複数個共通接続されている状況において、ハイインピーダンス状態発生箇所を正しく検証することができる。その結果として、事後の、ハイインピーダンス状態を回避するための処理や、実際に貫通電流が発生しないかどうかをチェックする処理へスムーズに移行することができるようになる。

【0129】また、貫通電流検証方法についての本発明によれば、トライステートセルの出力端子がハイインピーダンス状態になる可能性があると判断される状況において、既存のトランジスタレベルのライブラリを使用することにより、ハイインピーダンス状態の入力時に貫通電流を発生させる論理回路または入力ピンについては、次段の論理回路において他の入力ピンの状態に関わらず、これを自動的に真性エラーとして検出することができる。すなわち、従来では擬似エラーとして出力していたものを排除することができる。

【0130】その結果、従来目視でチェックをせざるを得なかったトライステートセルの出力端子がハイインピーダンス状態となる場合において、次段の論理回路に問題があるか否かの検証工程で真性エラーを自動で判別できるため、設計期間の短縮および作業効率の向上を実現することができる。

【0131】また、貫通電流検証方法において、あらかじめトランジスタレベルのライブラリを解析し、各入力

端子に対してハイインピーダンス状態の入力があった場合にエラーとするか否かの情報を追加するように構成した本発明によれば、上記同様に擬似エラーを排除して自動的に真性エラーを検出することができるが、単にこれだけにとどまらず、貫通電流検証時にトランジスタレベルの解析を不要化できるため、解析処理に必要な時間をさらに短縮することができる。

【0132】また、貫通電流検証方法において、p型トランジスタとn型トランジスタの縦積み構造に関して、トライステートセルの次段に接続されているセルの貫通電流が流れる入力パターンを作成し、抽出した検証対象セルを貫通電流入力パターンと照合するように構成した本発明によれば、そのことによって正しく貫通電流が流れるか否かを検証することができ、回路シミュレーションを実行することなく、貫通電流の検証を速やかに実行することができる。

【0133】また、貫通電流検証方法において、あらかじめ、半導体集積回路を構成している全てのセルを対象に、トランジスタスイッチング表から、トライステートセルの次段に接続されているセルの貫通電流入力パターンを作成しておき、抽出した検証対象セルについて、前記の全セルの貫通電流入力パターンから対応する貫通電流入力パターンを選択し、照合するように構成した本発明によれば、そのことによって正しく貫通電流が流れるか否かを検証することができる。すなわち、回路シミュレーションを実行することなく、貫通電流の検証を速やかに実行することができる。さらに、検証対象の複数のセルについての検証を、いちいちのトランジスタスイッチング表の作成の工程や貫通電流入力パターンの作成の工程を伴うことなく、連続的に、したがって、さらに速やかに実行することができる。

【0134】また、貫通電流改善方法についての本発明によれば、ハイインピーダンス状態が発生する箇所に対しハイインピーダンス状態を回避する回路、例えばバスホールド回路を挿入することで、ハイインピーダンス状態になる前の信号状態を保持することができるようになり、ハイインピーダンス状態を回避することができるようになる。それにより貫通電流の発生を抑えることができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施の形態における論理回路検証方法のハイインピーダンス状態発生箇所検証処理を示すフローチャート

【図2】 本発明の第1の実施の形態における論理回路検証方法のトライステートセルの出力端子が複数個共通接続された箇所抽出した結果を示す図

【図3】 本発明の第1の実施の形態における論理回路検証方法のトライステートセルのコントロール信号に繋がる回路を抽出した結果を示す図

【図4】 本発明の第2の実施の形態における貫通電流

検証方法を示すブロック図

【図5】 本発明の第2の実施の形態における貫通電流検証方法を示すフローチャート

【図6】 本発明の第3の実施の形態における貫通電流検証方法で貫通電流の可能性情報を含むライブラリを追加する処理にかかわるフローチャート

【図7】 本発明の第3の実施の形態における貫通電流検証方法で貫通電流の可能性を検出する工程のセル内部のトランジスタ構成例を示す回路図

【図8】 本発明の第3の実施の形態における貫通電流検証方法を示すフローチャート 10

【図9】 本発明の第4の実施の形態における貫通電流検証方法のフローチャート

【図10】 本発明の第4の実施の形態における貫通電流検証方法のトランジスタスイッチング表を示す図

【図11】 本発明の第4の実施の形態における貫通電流検証方法での2入力NANDの回路図(a)と、2入力NORの回路図(b)

【図12】 本発明の第4の実施の形態における貫通電流検証方法でトランジスタ構造の判断を行った結果を示す図 20

【図13】 本発明の第4の実施の形態における貫通電流検証方法でのn型トランジスタが縦積み構造である場合の貫通電流入力パターンを示す図(a)と、p型トランジスタが縦積み構造である場合の貫通電流入力パターンを示す図(b)

【図14】 本発明の第5の実施の形態における貫通電流検証方法のフローチャート

【図15】 本発明の実施の形態において、ハイインピーダンス状態になった箇所を示す図 30

【図16】 本発明の実施の形態において、ハイインピーダンス状態発生箇所にハイインピーダンス状態回避回路を挿入した図

【図17】 本発明の実施の形態において、ハイインピーダンス状態発生箇所にバスホールド回路を挿入した図

【符号の説明】

- 41 論理回路図作成装置
- 42 ネットリスト入力部
- 43 ライブラリ入力部
- 44 検証部
- 45 エラー／ワーニング出力部
- 46 検証ルール記憶領域
- 301 ネットリスト

302 セル内部ネットリスト

303 トランジスタスイッチング表

304 貫通電流入力パターン

A 入力端子

B 入力端子

OUT 出力端子

C101, C102 コントロール端子

G101, G102 トライステートインバータ

G103 インバータ

G104 NORゲート

G401, G402 トライステートセル

N401 ハイインピーダンス状態ネット

K401 ハイインピーダンス状態回避回路

K402 バスホールド回路

S51 トライステートセルの出力端子検出処理

S52 ハイインピーダンス状態出力判別処理

S53 接続チェック処理

S54 入力端子検出処理

S55 トランジスタ対リスト作成処理

S56 貫通電流構成検出処理

S57 エラー出力処理

S61 トランジスタ検出処理

S62 トランジスタ対リスト作成処理

S63 貫通電流構成検出処理

S64 貫通電流非発生情報追加処理

S65 貫通電流発生情報追加処理

S81 トライステートセルの出力端子検出処理

S82 ハイインピーダンス状態出力判別処理

S83 エラー出力処理

S101 トライステートセル抽出工程

S102 トライステートセルのコントロール信号へ繋がる回路抽出工程

S103 コントロール信号調査工程

S104 排他チェック工程

S105 ハイインピーダンス状態チェック工程

S301 セル抽出工程

S302 トランジスタスイッチング表作成工程

S303 セル構造解析工程

S304 貫通電流入力パターン抽出工程

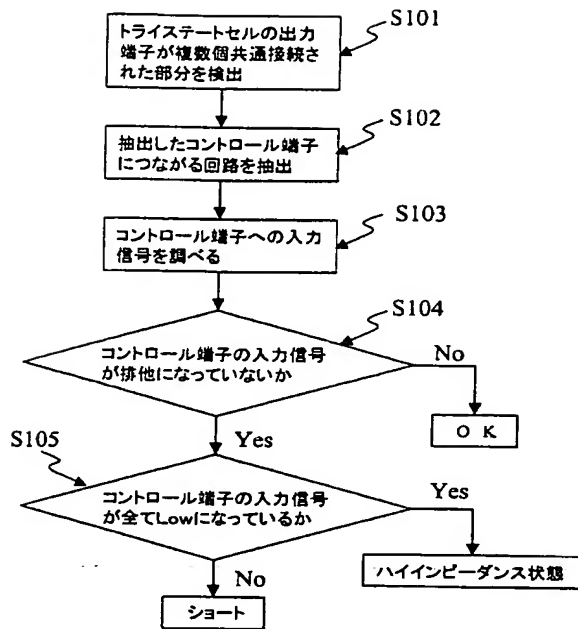
S305 貫通電流検証工程

S311 貫通電流入力パターン作成セル選択工程

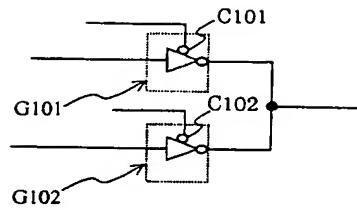
S312 判断工程

S313 貫通電流入力パターン選択工程

【図1】



【図2】



【図13】

n型トランジスタが縦積み構造

aピン	bピン
Hiz	1
1	Hiz

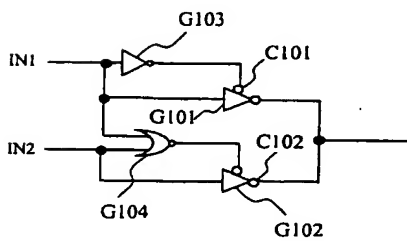
(a)

p型トランジスタが縦積み構造

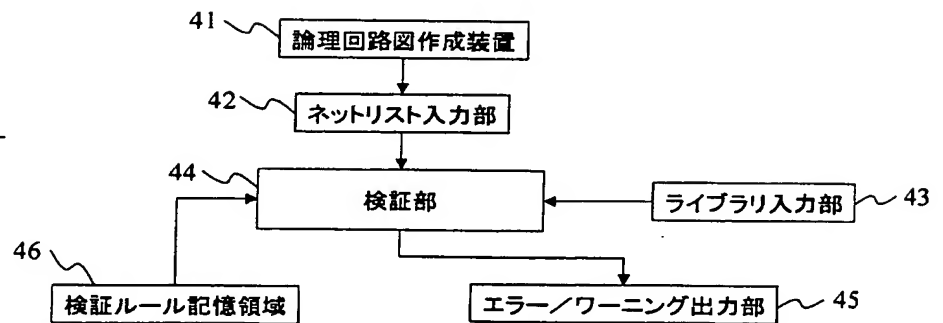
aピン	bピン
Hiz	0
0	Hiz

(b)

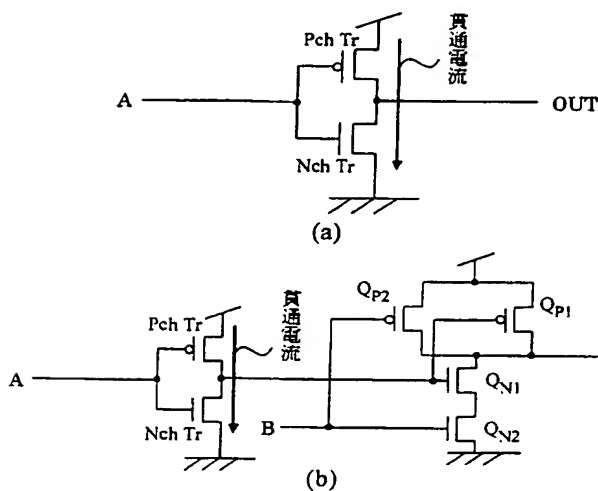
【図3】



【図4】



【図7】

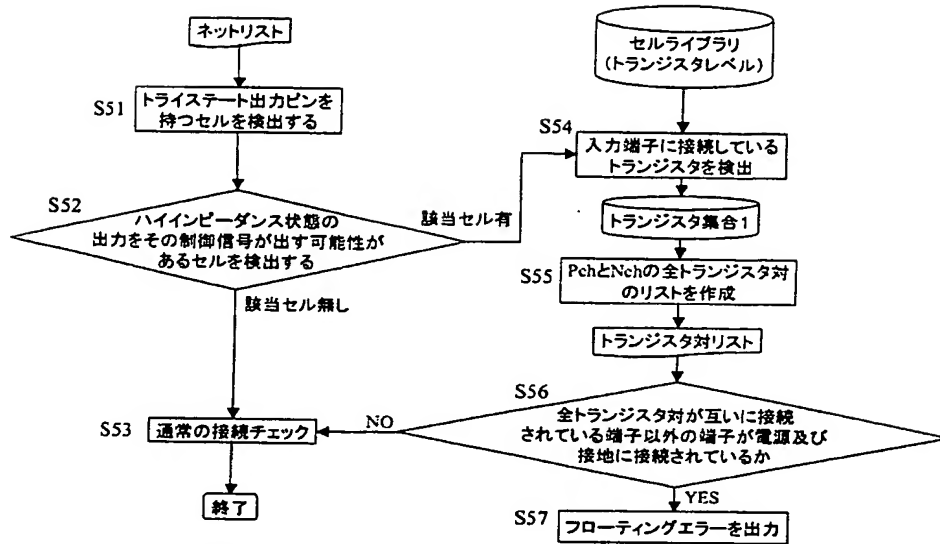


【図10】

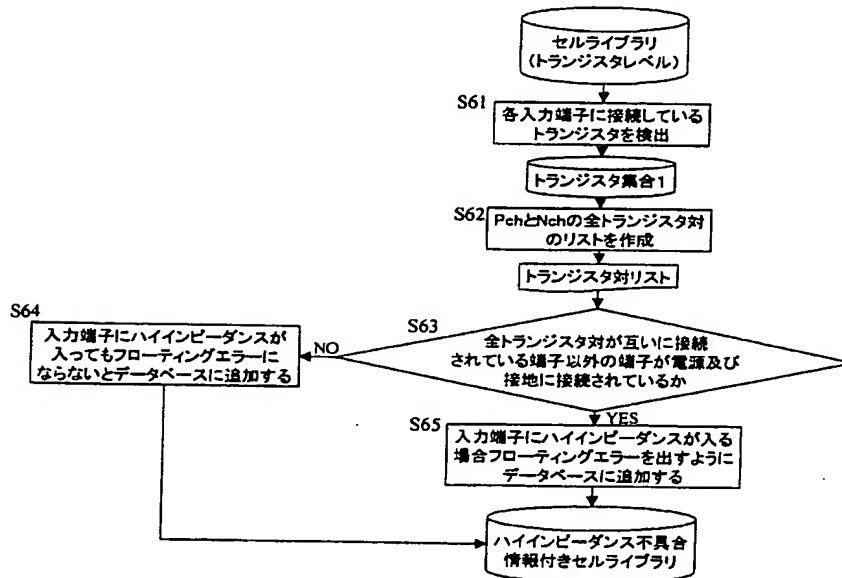
304

入力	n型トランジスタ	p型トランジスタ
1	ON	OFF
0	OFF	ON
Hiz	ON	ON

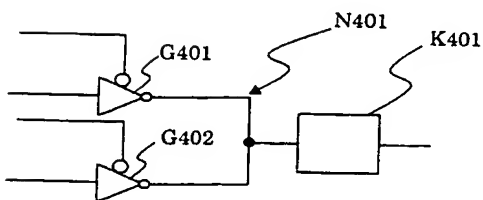
【図5】



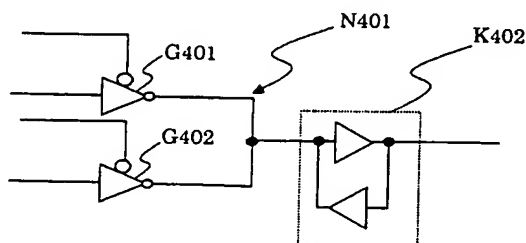
【図6】



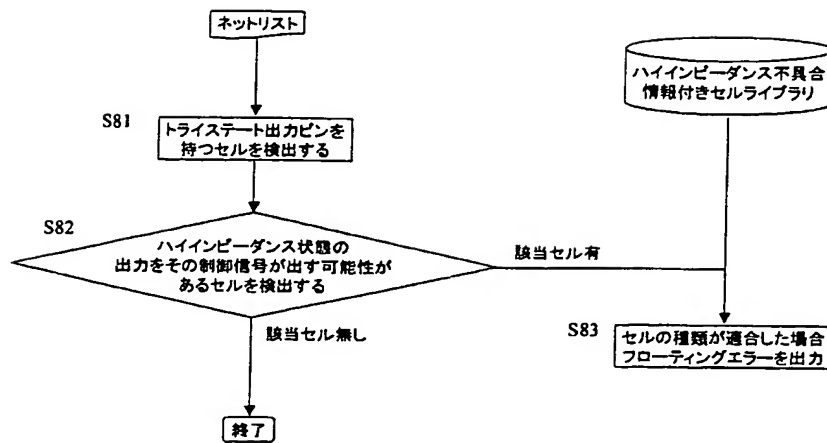
【図16】



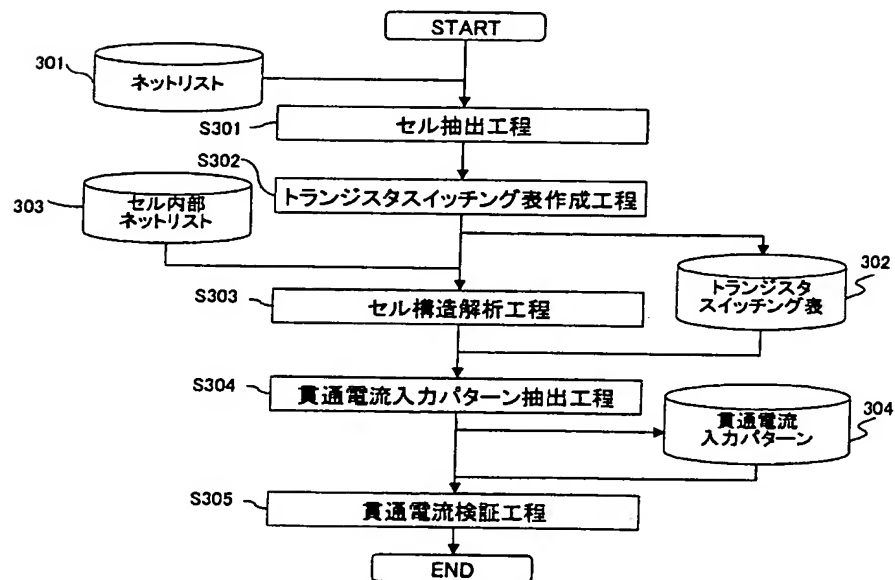
【図17】



【図8】



【図9】



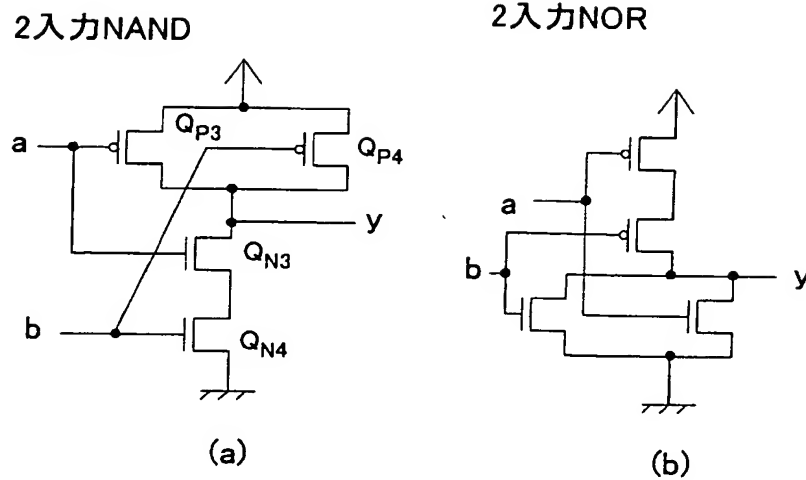
【図12】

## 2入力NAND

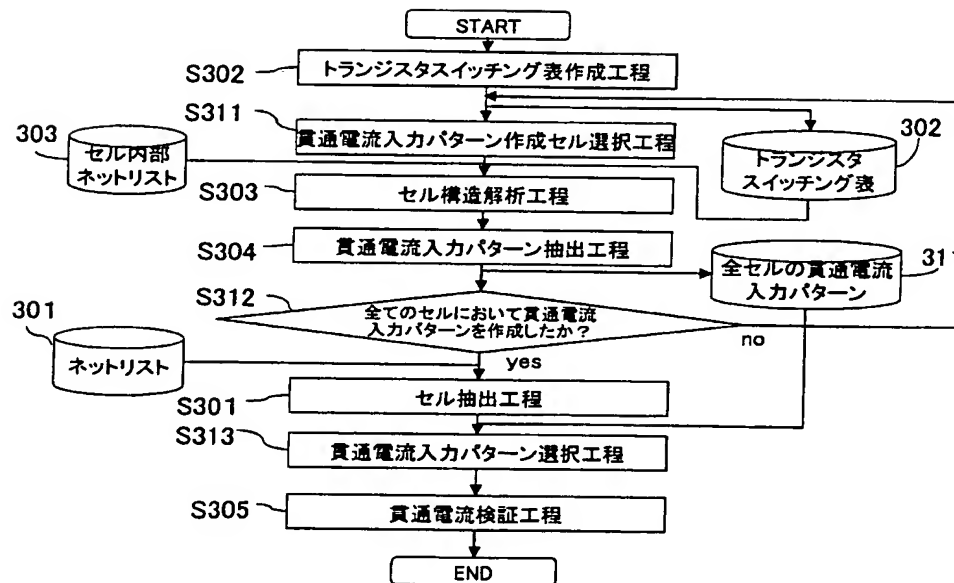
入力ピン	トランジスタ	トランジスタ構造
a	p	横積み構造
	n	縦積み構造
b	p	横積み構造
	n	縦積み構造



【図11】



【図14】



フロントページの続き

(72) 発明者 平田 正明  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

Fターム(参考) 5B046 AA08 BA03 JA01 KA06  
 5F064 BB05 BB06 BB07 BB40 CC12  
 DD25 HH06 HH10 HH12  
 5J056 AA03 BB19 BB60 CC00 DD12  
 DD29 GG12 GG14 KK00